

PATENT
8038-1039

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Mamoru AOKI
Appl. No.: Conf.:
Filed: July 8, 2003 Group:
Title: SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE
HAVING A DESIRED-SPEED TEST MODE

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 8, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-199833	July 9, 2002

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON

Benoit Castel

Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202

BC/ia Telephone (703) 521-2297

Attachment(s): 1 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月 9日

出願番号

Application Number:

特願2002-199833

[ST.10/C]:

[JP2002-199833]

出願人

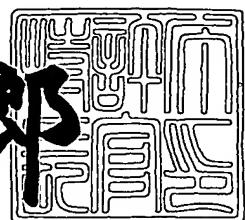
Applicant(s):

エルピーダメモリ株式会社

2003年 6月 19日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047961

【書類名】 特許願
 【整理番号】 22310201
 【提出日】 平成14年 7月 9日
 【あて先】 特許庁長官 殿
 【国際特許分類】 G11C 29/00
 【発明の名称】 半導体記憶装置
 【請求項の数】 6
 【発明者】
 【住所又は居所】 東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内
 【氏名】 青木 守
 【特許出願人】
 【識別番号】 500174247
 【氏名又は名称】 エルピーダメモリ株式会社
 【代理人】
 【識別番号】 100096231
 【弁理士】
 【氏名又は名称】 稲垣 清
 【電話番号】 03-5295-0851
 【手数料の表示】
 【予納台帳番号】 029388
 【納付金額】 21,000円
 【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0117862
 【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 外部クロック信号に同期して入力する外部制御信号をデコードするコマンドデコーダを備え、該コマンドデコーダが生成する内部制御信号に応答して作動する半導体記憶装置において、

テストモードを設定するテストモード判定回路を備え、

前記コマンドデコーダは、前記テストモードが設定されると、所定の外部制御信号に応答して、通常モード動作時に生成する複数の内部制御信号を所定のタイミングで順次に生成することを特徴とする半導体記憶装置。

【請求項2】 前記コマンドデコーダは、ビット線対に書き込みデータを入力するタイミングを定める内部ライト信号、ビット線対をプリチャージするタイミングを定める内部プリチャージ信号、及び、ワード線を選択するタイミングを定める内部アクティブ信号を順次に生成する、請求項1に記載の半導体記憶装置。

【請求項3】 前記コマンドデコーダは、前記内部アクティブ信号に後続して更に、ビット線対からデータを読み出す内部リード信号を生成する、請求項2に記載の半導体記憶装置。

【請求項4】 前記コマンドデコーダは、前記内部ライト信号に先立ってワード線を選択するタイミングを定める別の内部アクティブ信号を更に生成する、請求項3に記載の半導体記憶装置。

【請求項5】 前記所定のタイミングは、遅延回路によって設定される、請求項1～4の何れかに記載の半導体記憶装置。

【請求項6】 前記所定の外部制御信号がライト信号である、請求項1～5の何れかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、更に詳しくは、外部クロック信号に基づい

て動作する同期型の半導体記憶装置に関する。

【0002】

【従来の技術】

SDRAM (シンクロナスDRAM)などの同期型の半導体記憶装置は、書き込みや読み出しの命令が、外部クロック信号に同期して与えられ、高速に動作する。図3は、従来の同期型の半導体記憶装置の構成を示している。半導体記憶装置は、内部クロック発生回路1、コマンドデコーダ2、内部アドレス発生回路3、メモリセルアレイ4、ロウ系制御回路5、ロウデコーダ6、カラムデコーダ7、センスアンプ回路8、データアンプ回路9、カラム系制御回路10、及び、入出力回路11を備える。

【0003】

内部クロック発生回路1は、外部クロック信号CLKを入力し、外部クロック信号CLKに同期した内部クロック信号を生成する。コマンドデコーダ2は、制御入力端子/RAS (Row Address Strobe)、/CAS (Column Address Strobe)、/WE (Write Enable)、及び、/CS (Chip Select)に入力する外部制御信号から、半導体記憶装置に与えられた命令(コマンド)を解読し、ロウ系制御回路5、及び、カラム系制御回路10を制御する。

【0004】

内部アドレス発生回路3は、アドレス端子ADD (Address)に入力されたアドレスに基づいて、ロウアドレス(X)、及び、カラムアドレス(Y)の内部アドレスを、ロウデコーダ6、及び、カラムデコーダ7に出力する。メモリセルアレイ4は、行列上に配設された複数のメモリセルを有し、互いに相補なデータを記憶するメモリセルに接続するビット線対を、センスアンプ回路8に入力する。

【0005】

ロウ系制御回路5は、ロウデコーダ6を制御し、センスアンプ回路8の活性又は非活性を制御する。ロウデコーダ6は、ロウ系制御回路5からの制御信号、及び、ロウアドレスに基づいて、メモリセルアレイ4内のワード線を選択する。カラム系制御回路10は、カラムデコーダ7を制御し、データアンプ9の活性又は非活性を制御する。カラムデコーダ7は、カラム系制御回路10からの制御信号

、及び、カラムアドレスに基づいて、データアンプ9に出力するセンスアンプ回路8内のセンスアンプを選択する。

【0006】

センスアンプ回路8は、メモリセルアレイ4内のビット線対間に生じた小さな電位差を、所定レベルの電位差に増幅する。入出力回路11は、バス配線RWB-USを介してデータアンプ回路9に接続し、データ端子DQから、メモリセルアレイ4内のメモリセルに書き込むデータを入力する、又は、メモリセルから読み込んだデータを出力する。

【0007】

図4は、図3の半導体記憶装置の通常動作時における動作例をタイミングチャートとして示している。外部クロック信号CLKのサイクルC1では、コマンドデコーダ2が、図1に示す制御入力端子／RAS、／CAS、／WE、及び、／CSに入力された外部制御信号をデコードする。デコードの結果、半導体記憶装置に与えられた命令が、入力されたロウアドレスに対応するワード線を選択するアクティブコマンドであったとする。

【0008】

半導体記憶装置にアクティブコマンドが入力されると、コマンドデコーダ2からロウ系制御回路5に出力される信号である信号IRASBが、Lレベルに立ち下がる。信号IRASBが立ち下がると、ロウ系制御回路5は、ロウデコーダ6を介して、内部アドレス発生回路3から出力されるロウアドレス(X)に対応する、メモリセルアレイ4内のワード線を選択する。ワード線が選択されると、そのワード線に接続されたメモリセルのデータがビット線対を介してセンスアンプ回路8に読み出され、センスアンプ回路8によってビット線対間の電圧差が増幅される。

【0009】

サイクルC3で、半導体記憶装置にライトコマンドが入力されると、コマンドデコーダ2からカラム系制御回路10に出力される信号である信号ICASBがLレベルに立ち下がる。信号ICASBが立ち下がると、カラム系制御回路10が活性化し、カラム系制御回路10は、カラム系デコーダ7を介して、内部アド

レス発生回路から出力されるカラムアドレス (Y) に対応するメモリセルアレイ 4 内のカラム選択線を選択する。カラム選択線が選択されると、図 1 に示すデータ端子 D Q から入力されたデータは、入出力回路 1 1、データアンプ回路 9、及び、センスアンプ回路 8 を介して、選択されているメモリセルに書き込まれる。

【0010】

サイクル C 4 で、半導体記憶装置にプリチャージコマンドが入力されると、信号 I R A S B、及び、信号 I C A S B が H レベルに立ち上がる。信号 I R A S B が H レベルに立ち上がると、選択されているメモリセルアレイ 4 内のワード線が非選択状態となって、ビット線対が同じ電位にイコライジングされる。サイクル C 6 で、再び、半導体記憶装置にアクティブコマンドが入力されると、サイクル C 1 のときと同様に、メモリセルのデータがビット線対間に output され、ビット線対間の電位差が増幅される。

【0011】

サイクル C 8 で、半導体記憶装置にリードコマンドが入力されると、信号 I C A S B が L レベルに立ち下がる。信号 I C A S B が立ち下がると、メモリセルアレイ 4 内のカラム選択線が選択される。カラム線が選択されると、ビット線対間の電位差を増幅したセンスアンプ回路 8 から出力されるデータが、データアンプ回路 9 に読み込まれ、バス配線 R W B U S、及び、入出力回路 1 1 を介して、データ端子 D Q から出力される。

【0012】

ここで、半導体記憶装置では、ライトコマンドを入力する時刻から、プリチャージコマンド入力を入力する時刻までの時間差は、 t_{DPL} と呼ばれるスペックで規定されている。また、プリチャージコマンドを入力する時刻から、アクティブコマンドを入力する時刻までの時間差は、 t_{RP} と呼ばれるスペックで規定されており、アクティブコマンドを入力する時刻から、リードコマンドを入力する時刻までの時間差は、 t_{RCD} と呼ばれるスペックで規定されている。これら t_{DPL} 、 t_{RP} 、及び、 t_{RCD} は、半導体記憶装置が高速に動作するほど、規定される時間が短く設定される。

【0013】

半導体記憶装置は、製造誤差や、センスアンプ又はメモリセルの中の欠陥などのため、コマンドデコーダ2にライトコマンドやリードコマンド、プリチャージコマンドを入力してから、実際に、書き込みや読み出し、プリチャージ動作が完了するまでにかかる時間が、製品毎にばらつく。このため、半導体記憶装置は、所定の性能を有するか否かが、半導体試験装置によって試験される。

【0014】

例えば、図2のサイクルC4でプリチャージコマンドを入力する場合、プリチャージ動作が、サイクルC4からアクティブコマンドが入力されるサイクルC6までの時間(t_{RP})以内に動作を完了せず、ピット線対が同じ電位にプリチャージされてない場合には、メモリセルから正しいデータを読み出すことができない。半導体試験装置は、サイクルC4でプリチャージコマンドを入力し、サイクルC6でリードコマンドを入力したときに、読み出されたデータが既知の期待値と一致するか否かによって、試験対象の半導体記憶装置が良品であるか、不良品であるかを判別する。

【0015】

【発明が解決しようとする課題】

ところで、同期型の半導体記憶装置では、リードやライトなどのコマンドが、外部クロック信号CLKに同期して与えられるため、高速な半導体記憶装置には、周期が短い外部クロック信号CLKを供給する半導体試験装置（以下、高速テスタと呼ぶ）を使用する必要がある。例えば、 t_{PDL} などの規格値に、15ns程度の時間が要求される高速な半導体記憶装置では、外部クロック信号の周期が15ns程度の半導体試験装置が必要となる。

【0016】

しかし、半導体記憶装置の製造では、一部の工程において、比較的に周期が長い外部クロック信号CLKを供給する半導体試験装置（以下、低速テスタ）を用いて試験したいという要望がある。この場合、例えば外部クロック信号の周期が20～30ns程度の低速テスタを用いた試験工程では、コマンドを与える間隔を外部クロック信号の周期よりも短く設定することができず、高速な半導体記憶装置に要求される t_{DPL} や t_{RP} 、 t_{RCD} のスペックに沿った試験が行なえ

ないという問題があった。

【0017】

低速テスタを用いて高速な半導体記憶装置の試験を行う技術として、特開平11-144497号公報には、試験時には、低速な外部クロックに同期して与えられるアクティブやプリチャージなどのコマンドを内部回路によって遅延し、後続して与えられるリードやライトなどのコマンドとの間隔を狭くする技術が記載されている。該公報に記載の技術では、先行するアクティブやプリチャージのコマンドの遅延量を制御することで、要求されるスペックに沿った試験が可能となる。しかし、外部から与えるアクティブやリードのコマンドは、低速なクロック信号のタイミングであり、試験では所定の回数だけコマンドを繰り返し与える必要があるため、全体の試験時間を短縮することができない。

【0018】

低速テスタを使用して高速な半導体記憶装置を試験する別の技術として、特開平11-306797号公報には、試験時には、外部クロック信号を2倍した内部クロック信号を使用し、リードやライトのコマンドが低速な外部クロック信号の立ち上がり時に同期して与えられると、外部クロック信号の立ち下がり時に、半導体記憶装置の内部で所定のコマンドが生成され、内部クロック信号に同期してコマンドが与えられる技術が記載されている。しかし、該公報に記載の技術では、コマンドを与えてから次のコマンドを生成するまでの時間を調整することができず、要求されるスペックに沿った試験を行なうことはできない。

【0019】

本発明は、低速テスタを使用しながらも、高速な半導体記憶装置に要求されるスペックに沿った試験を、試験時間を増加させることなく行なうこともできる半導体記憶装置を提供することを目的とする。

【0020】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体記憶装置は、外部クロック信号に同期して入力する外部制御信号をデコードするコマンドデコーダを備え、該コマンドデコーダが生成する内部制御信号に応答して作動する半導体記憶装置において

て、テストモードを設定するテストモード判定回路を備え、前記コマンドデコーダは、前記テストモードが設定されると、所定の外部制御信号に応答して、通常モード動作時に生成する複数の内部制御信号を所定のタイミングで順次に生成することを特徴とする。

【0021】

本発明の半導体記憶装置では、テストモード判定回路が半導体記憶装置にテストモードを設定すると、コマンドデコーダは、所定の外部制御信号（コマンド）に応答して、通常動作時に複数のコマンドが連續して入力されたときと同じ内部制御信号を、所定のタイミングで生成する。ここで、テストモード時に入力する外部クロック信号の周期が、通常動作時と異なる周期であっても、所定のタイミングを、通常動作時における外部クロック信号の周期に基づいて設定すれば、半導体記憶装置をその通常動作時と同じタイミングで動作させることができる。このため、半導体試験装置が输出する外部クロック信号の周期が、通常動作時よりも長い場合についても、通常動作時に求められる高速な時間性能で、半導体記憶装置を試験することができる。

【0022】

本発明の半導体記憶装置では、前記コマンドデコーダは、ビット線対に書き込みデータを入力するタイミングを定める内部ライト信号、ビット線対をプリチャージするタイミングを定める内部プリチャージ信号、及び、ワード線を選択するタイミングを定める内部アクティブ信号を順次に生成することが好ましい。この場合、コマンドデコーダは、所定のコマンドが入力されると、ライトコマンド、プリチャージコマンド、及び、アクティブコマンドがこの順で入力されたときと同様な内部制御信号を、所定のタイミングで出力する。各内部制御信号を出力するタイミングをそれぞれ適切に設定することで、高速な半導体記憶装置についても、低速テスタを使用して試験することができる。

【0023】

本発明の半導体記憶装置では、前記コマンドデコーダは、前記内部アクティブ信号に後続して更に、ビット線対からデータを読み出す内部リード信号を生成することもできる。この場合、コマンドデコーダは、所定のコマンドが入力される

と、ライトコマンド、プリチャージコマンド、アクティブコマンド、及び、リードコマンドがこの順で入力されたときと同様な内部制御信号を、所定のタイミングで出力する。

【0024】

本発明の半導体記憶装置では、前記コマンドデコーダは、前記内部ライト信号に先立ってワード線を選択するタイミングを定める別の内部アクティブ信号を更に生成することもできる。この場合、コマンドデコーダは、所定のコマンドが入力されると、アクティブコマンド、ライトコマンド、プリチャージコマンド、アクティブコマンド、及び、リードコマンドがこの順で入力されたときと同様な内部制御信号を、所定のタイミングで出力する。

【0025】

本発明の半導体記憶装置では、前記所定のタイミングは、遅延回路によって設定されることが好ましい。コマンドデコーダが各内部制御信号を出力するタイミングは、所定のコマンドが入力されたタイミングを基準として、種々の遅延時間を規定する遅延回路を用いて生成することができる。

【0026】

本発明の半導体記憶装置では、前記所定の外部制御信号がライト信号であることが好ましい。この場合、半導体記憶装置にテストモードが設定されると、コマンドデコーダは、通常動作時とは異なり、ライトコマンドに応答して、通常動作時に複数のコマンドが連続して入力されたときと同じ内部制御信号を、所定のタイミングで生成する。

【0027】

【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1は、本発明の一実施形態例の半導体記憶装置の構成を示している。半導体記憶装置は、図3に示す半導体記憶装置が更にテストモード判定回路12を備える点、及び、テストモード時に図4に示す通常動作時と異なる動作を行なう点で、従来の半導体記憶装置と相違する。

【0028】

内部クロック発生回路1は、外部クロック信号CLKを入力し、外部クロック信号CLKに同期した内部クロックを生成する。コマンドデコーダ2は、制御入力端子／RAS (Row Address Strobe)、／CAS (Column Address Strobe)、／WE (Write Enable)、及び、／CS (Chip Select) に入力された外部制御信号から、半導体記憶装置に与えられた命令（コマンド）を解読し、ロウ系制御回路5、及び、カラム系制御回路10を制御する。

【0029】

テストモード判定回路12は、半導体記憶装置に入力された信号が、半導体記憶装置にテストモードを設定するためのテストモードエントリコマンドであるか否かを判定する。例えば、テストモードエントリコマンドは、制御入力端子（／RAS、／CAS、／WE、及び、／CS）から入力される所定の組み合わせの外部制御信号と、アドレス端子ADD (Address) に入力される所定のアドレスを指定する信号とによって定義される。テストモードエントリコマンドは、半導体記憶装置の良品選別試験工程や評価の目的に使用され、通常動作時には入力されない。半導体記憶装置にテストモードエントリコマンドが入力されると、半導体記憶装置は、テストモードに設定される。

【0030】

内部アドレス発生回路3は、アドレス端子ADDに入力されたデータに基づいて、ロウアドレス（X）、及び、カラムアドレス（Y）を含む内部アドレスを、ロウデコーダ6、及び、カラムデコーダ7に出力する。メモリセルアレイ4は、行列上に配設されたメモリセルを有し、互いに相補なデータを記憶するメモリセルに接続するビット線対をセンスアンプ回路8に入力する。

【0031】

ロウ系制御回路5は、ロウデコーダ6を制御し、センスアンプ回路8の活性又は非活性を制御する。ロウデコーダ6は、ロウ系制御回路5からの制御信号、及び、ロウアドレスに基づいて、メモリセルアレイ4内のワード線を選択する。カラム系制御回路10は、カラムデコーダ7を制御し、データアンプ9の活性又は非活性を制御する。カラムデコーダ7は、カラム系制御回路10からの制御信号、及び、カラムアドレスに基づいて、データアンプ9に出力するセンスアンプ回

路8内のセンスアンプを選択する。

【0032】

センスアンプ回路8は、メモリセルアレイ4内のビット線対間に生じた小さな電位差を、所定レベルの電位差に増幅する。入出力回路1-1は、バス配線RWB-USを介してデータアンプ回路9に接続し、データ端子DQを経由して、メモリセルアレイ4内のメモリセルに書き込むデータを入力する、又は、メモリセルから読み込んだデータを出力する。

【0033】

図2は、図1の半導体記憶装置のテストモードにおける動作例をタイミングチャートとして示している。ここで、図2に示す試験時の外部クロック信号CLKは、図4に示す通常動作時における外部クロック信号CLKよりも周波数が低い、つまり、周期が長い。例えば、図2の例では、外部クロック信号CLKの周期は、図4の外部クロック信号CLKの周期の2倍の周期を持つ。

【0034】

外部クロック信号CLKのサイクルC1では、コマンドデコーダ2は、制御入力端子(／RAS、／CAS、／WE、及び、／CS)に入力された外部制御信号を解読し、半導体記憶装置に入力されたコマンドがアクティブコマンドであると、ロウ系制御回路5に出力する信号IRASBをLレベルに立ち下げる。ロウ系制御回路5は、信号IRASBがLレベルになると、ロウデコーダ6、及び、センスアンプ回路8を活性化する。

【0035】

ロウデコーダ6は、内部アドレス発生回路3から入力するロウアドレス(X)に対応する、メモリセルアレイ4内の1つのワード線を選択する。ワード線が選択されると、そのワード線に接続されたメモリセルのデータがビット線対に出力され、一方のビット線と、他方のビット線との間に小さな電位差が生じる。センスアンプ回路8は、ビット線対間に生じた小さな電位差を、所定レベルの電位差にまで増幅する。

【0036】

サイクルC2で、半導体記憶装置にテストモードエントリコマンドが入力され

ると、テストモード判定回路12は、半導体記憶装置にテストモードを設定する。サイクルC3で、テストモードに設定された半導体記憶装置にライトコマンドが入力されると、ライトコマンドを解読したコマンドデコーダ2は、以下に示すように、ライトコマンド、プリチャージコマンド、アクティブコマンド、及び、リードコマンドが、通常動作時の外部クロック信号CLKに同期して与えられたときと同様な動作を、ロウ系制御回路5、及び、カラム系制御回路10に指示する。

【0037】

ライトコマンドが入力された時刻をt0とすると、コマンドデコーダ2は、時刻t0において通常動作時にライトコマンドが入力されたときと同様に、カラム系制御回路10に出力する信号ICASBをLレベルに立ち下げる。信号ICASBが立ち下がると、カラム系制御回路10は、カラムデコーダ7を活性化する。カラムデコーダ7は、内部アドレス発生回路3が出力するカラムアドレス(Y)に対応する、メモリセルアレイ4内のカラム選択線を選択する。カラム選択線が選択されると、図1に示すデータ端子DQから入力されたデータは、出入力回路11、データアンプ回路9、及び、センスアンプ回路8を介して、選択されているメモリセルに書き込まれる。

【0038】

コマンドデコーダ2は、時刻t1において、コマンドデコーダ2にプリチャージコマンドが入力されたときと同様なタイミングで、信号IRASB、及び、信号ICASBをHレベルに立ち上げる。このタイミングの生成には、信号を遅延する回路を使用することができる。ここで、時刻t1は、t0から、外部クロック信号CLKのサイクルC3の半周期が経過した時刻として設定される。信号IRASBがHレベルに立ち上がると、選択されているメモリセルアレイ4内のワード線が非選択状態となって、ビット線対が同じ電位にイコライジングされる。

【0039】

コマンドデコーダ2は、時刻t1で立ち上がった信号IRASBを、所定期間だけHレベルのまま維持し、時刻t3でアクティブコマンドが入力されたのと同様なタイミングで、Lレベルに立ち下げる。信号IRASBが立ち下がると、サ

イクルC1のときと同様に、メモリセルアレイ4内のワード線がHレベルに立ち上がり、メモリセルのデータがビット線対間に outputされる。センスアンプ回路8は、ビット線対間の生じた電位差を所定のレベルに増幅する。

【0040】

コマンドデコーダ2は、時刻t1で立ち上がった信号ICASBを、所定期間だけHレベルのまま維持し、時刻t5でリードコマンドが入力されたのと同様なタイミングで、Lレベルに立ち下げる。信号ICASBが立ち下がると、メモリセルアレイ4内のカラム選択線が選択される。カラム線が選択されると、ビット線対間の電位差を増幅したセンスアンプ回路8から出力されるデータが、データアンプ回路9に読み込まれ、バス配線RWBUS、及び、入出力回路11を介して、データ端子DQから出力される。

【0041】

本実施形態例では、テストモードエントリコマンドが入力され、テストモードに設定された半導体記憶装置に、外部クロックに同期してライトコマンドが入力されると、コマンドデコーダ2は、外部クロック信号に依存しないで、ライト、プリチャージ、アクティブ、及び、リードコマンドが、この順で順次に入力されたときと同様な信号をロウ系制御回路5、及び、カラム系制御回路10に出力する。具体的には、ライトコマンドに対応して信号ICASBをLレベルに立ち下げ、所定時間の経過後（時刻t1直後）に信号IRASB、及び、信号ICASBをHレベルに立ち上げ、信号IRASBを所定時間が経過するまで（時刻t3直後まで）Hレベルを維持した後に信号IRASBをLレベルに立ち下げ、信号ICASBを所定時間が経過するまで（時刻t5直後まで）Hレベル維持した後にLレベルに立ち下げる。半導体試験装置は、ライトコマンドを出力した後は、半導体記憶装置にデータが書き込まれるタイミング、及び、半導体記憶装置からデータを読み出すタイミングに合わせてデータ読み書きを行う。

【0042】

従来、高速な同期型の半導体記憶装置を試験する際には、要求されるtPDLやtRP、tRCDのスペックと同等な周期の外部クロック信号CLKを出力する高速テスタが必要であったが、本実施形態例では、コマンドデコーダ2が、複

数のコマンドが入力されたときと同等な信号を遅延回路等を用いて出力することで、低速テスターを使用して、高速な時間性能が要求される半導体記憶装置を試験することができる。半導体記憶装置をテストモードに設定した後に、ライトコマンドを入力してから、読み出し動作を完了するまでにかかる時間は、外部クロック信号の周期に関係なく、通常動作時と同じであるため、半導体記憶装置の試験にかかる時間の増加を抑えることができる。また、試験対象の半導体記憶装置に要求されるスペックに応じて、 t_{DPL} や、 t_{RP} 、 t_{RCD} を定める遅延時間をコマンドデコーダ2に設定することで、異なる時間性能が要求される半導体記憶装置を、同じ試験装置を用いて試験することができる。

【0043】

なお、上記実施形態例では、テストモード時において、ライトコマンドが入力されるとライトコマンド、プリチャージコマンド、アクティブコマンド、及び、リードコマンドが、所定の時間間隔でこの順で与えられたのと同様な動作をする例を示したが、これに限定されず、1つのコマンドを外部クロック信号に同期して入力すると、複数のコマンドが所定時間間隔で順次に与えられたのと同様に動作する構成としてもよい。また、コマンドが与えられたのと同様な動作をする所定時間間隔は、通常動作時の外部クロック信号に同期した時間に限られず、任意の時間に設定することができる。半導体試験装置が出力する外部クロック信号は、半導体記憶装置の通常動作時の2倍の周期に限定されず、その他の周期の外部クロック信号を使用して試験を行なうこともできる。

【0044】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明のハンドル記憶装置は、上記実施形態例にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した半導体記憶装置も、本発明の範囲に含まれる。

【0045】

【発明の効果】

以上説明したように、本発明の半導体記憶装置は、試験時には、外部クロック信号に同期して一のコマンドが入力されると、コマンドデコーダが、入力された

コマンドに対応する制御信号を出力した後に、他のコマンドが入力されたときと同様な制御信号を出力する。コマンドデコーダが一のコマンドに対応する制御信号を出力してから、他のコマンドに対応する制御信号を出力するまでの時間間隔は、任意に調整可能であるため、外部信号に同期してコマンドを入力する同期型の半導体記憶装置において、コマンドを入力する時間間隔が短い高速な半導体記憶装置についても、その時間間隔よりも長い周期の外部クロック信号を出力する低速な半導体試験装置を用いて試験することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態例の半導体記憶装置の構成を示すブロック図。

【図2】

図1の半導体記憶装置の動作を示すタイミングチャート。

【図3】

従来の半導体記憶装置の構成を示すブロック図。

【図4】

図3の半導体記憶装置の動作を示すタイミングチャート。

【符号の説明】

1：内部クロック発生回路

2：コマンドデコーダ

3：内部アドレス発生回路

4：メモリセルアレイ

5：ロウ系制御回路

6：ロウデコーダ

7：カラムデコーダ

8：センスアンプ回路

9：データアンプ回路

10：カラム系制御回路

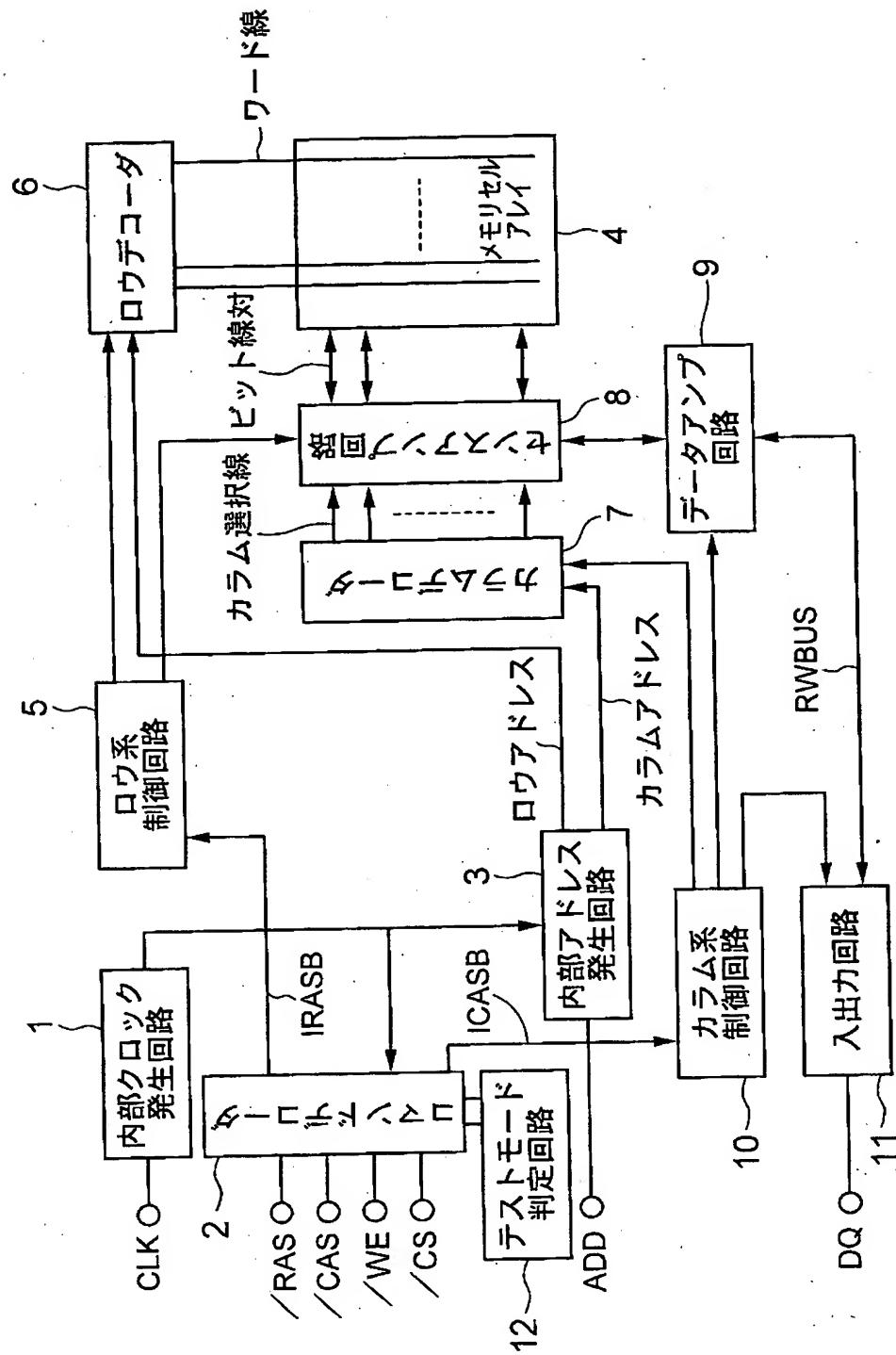
11：入出力回路

12：テストモード判定回路

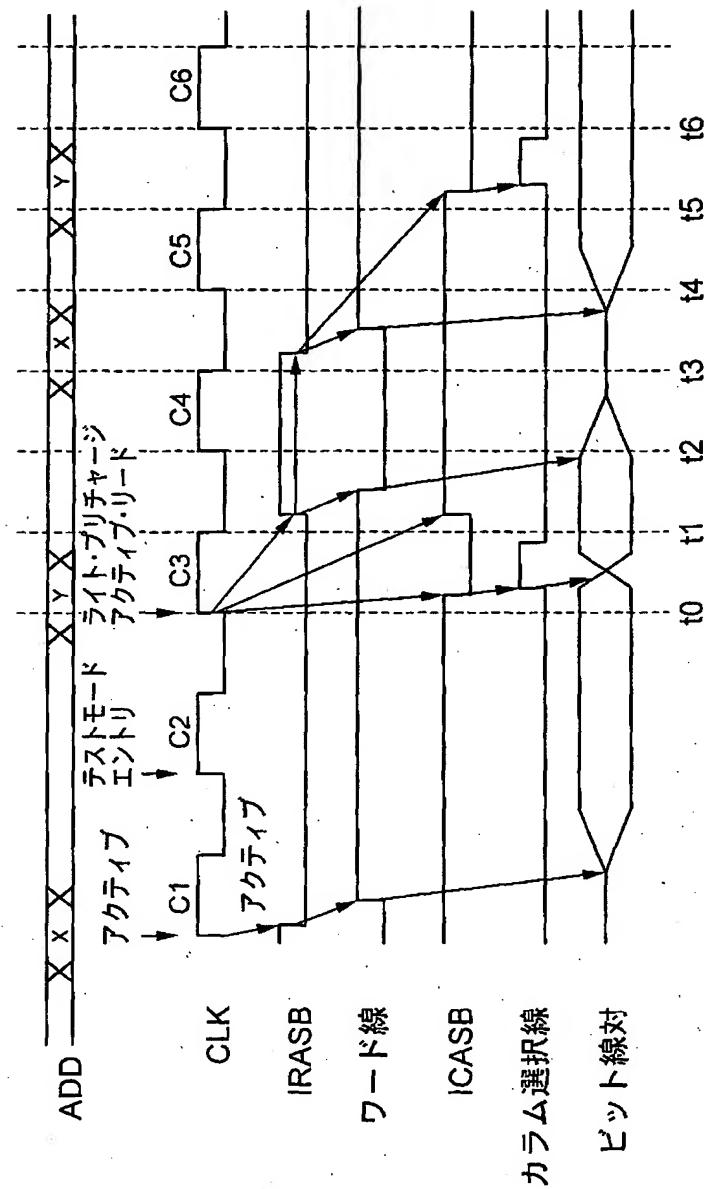
【書類名】

図面

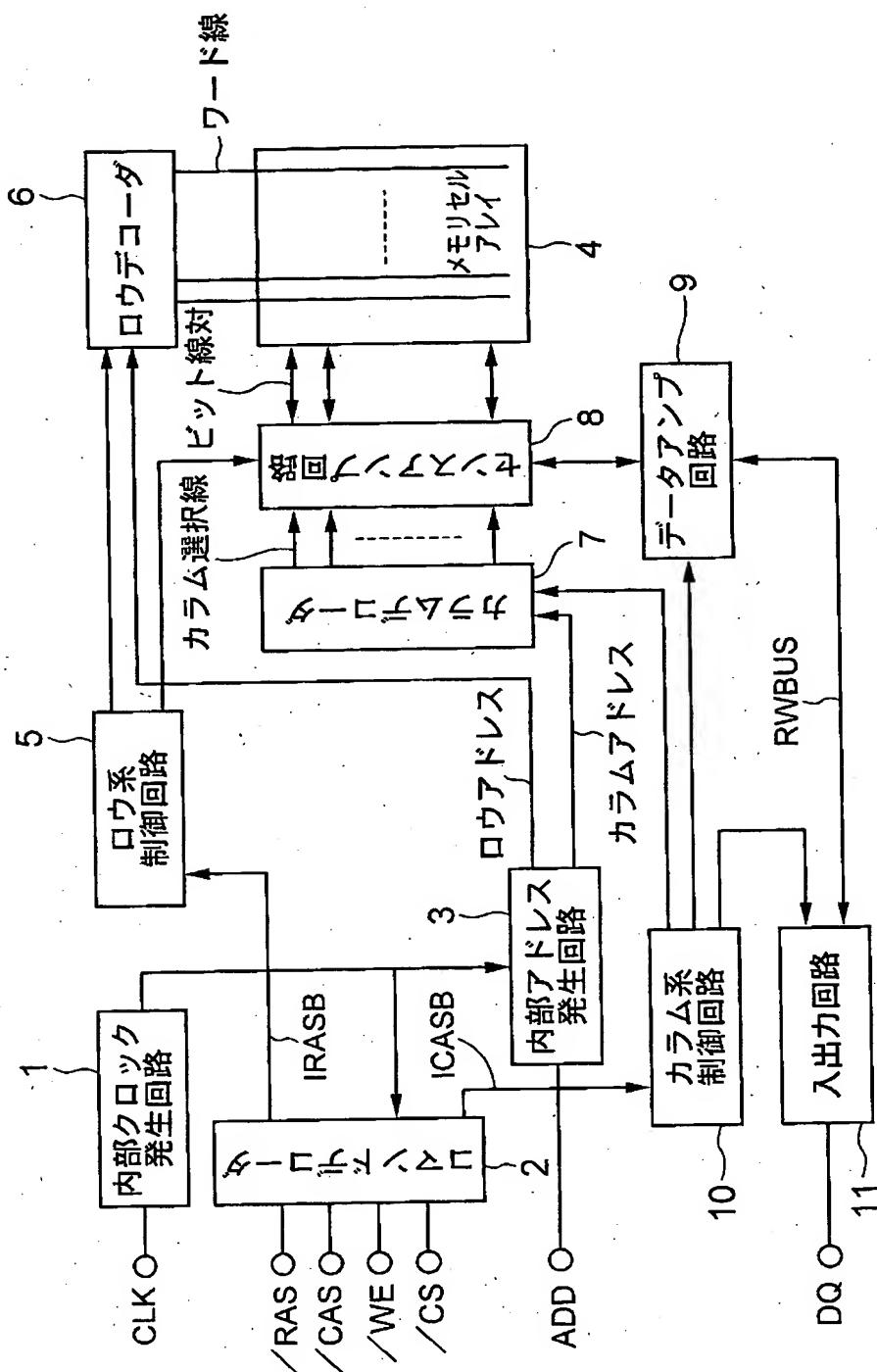
【図1】



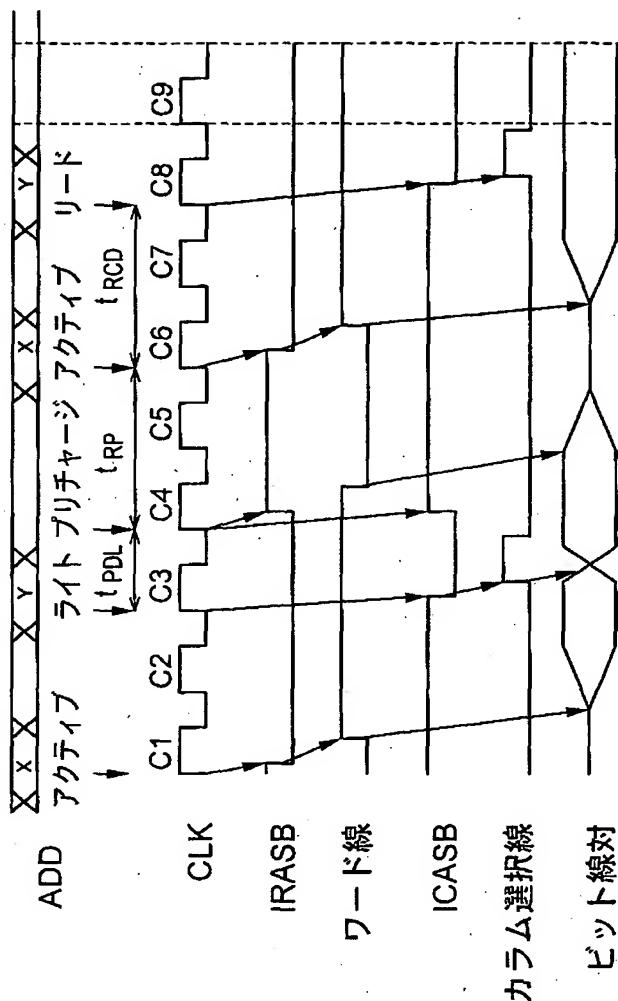
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 低速テスタを使用して高速な時間性能が試験できる半導体記憶装置を提供する。

【解決手段】 テストモード判定回路12は、半導体記憶装置にテストモードを設定する。コマンドデコーダ2は、半導体記憶装置にテストモードが設定されると、外部クロック信号CLKに同期して、制御入力端子（／RAS、／CAS、／WE、及び、／CS）から入力される所定の外部制御信号（コマンド）に応答して、通常モード動作時に複数のコマンドが入力されたときと同様な内部制御信号を、所定のタイミングで順次に生成する。

【選択図】 図1

出願人履歴情報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日

[変更理由] 名称変更

住 所 東京都中央区八重洲2-2-1

氏 名 エルピーダメモリ株式会社